

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250912

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01L 25/07  
H01L 23/52

(21)Application number : 2000-062298

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 07.03.2000

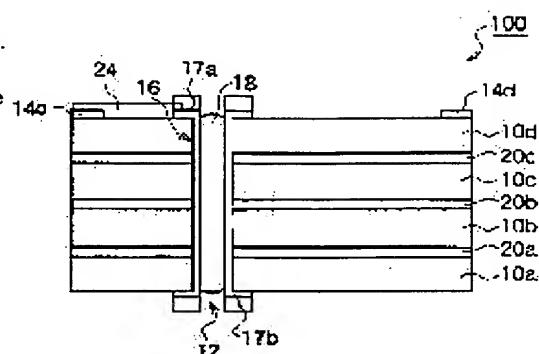
(72)Inventor : MATSUI KUNIYASU

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD AND ELECTRONIC EQUIPMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and its manufacturing method and electronic components that can electrically connect a laminated semiconductor chip to an external device or the like without using any auxiliary means such as an interposer, and can adopt the configuration regardless of the size of the laminated semiconductor chip.

**SOLUTION:** A through hole 12 is formed in semiconductor chips 10a, 10b, 10c, and 10d. Then, a conductive film 16 made of gold is formed on the inner-periphery surface of the through hole 12 and near an opening part. In addition, the inside of the through hole 12 is filled with resin 18, thus electrically connecting an electrode 14 of the semiconductor chip 10d to the conductive film 16, and hence electrically connecting the external device that is provided at the side of the semiconductor chip 10a and is not shown in a figure to the semiconductor chip 10d.



## LEGAL STATUS

[Date of request for examination] 08.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 05.01.2006

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Unexamined Patent Publication  
No. 250912/2001 (Tokukai 2001-250912)**

A. Relevance of the Above-identified Document

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

[0037]

Through the above steps, the semiconductor device of the Embodiment in accordance with the present invention is manufactured. Note that, in the semiconductor device of the second embodiment illustrated in Fig. 4, an insulation film 22 is formed after the formation of the through hole 12. Then, the conductive film 16 is formed. In some cases, it may be difficult to deposit and adhere metal on the insulation film 22 through electroless plating process, depending on the material used for the insulating film 22. In such case, the semiconductor chips 10a, 10b, 10c, and 10d are infiltrated into palladium colloid solution before the electroless plating process of Fig. 2(c) is carried out, so that the palladium colloid is adhered to a portion in which

a conductive film will be formed. By carrying out this process, the palladium serve as catalyst core, and the formation of the conductive film on the insulation film 22 becomes easy.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-250912  
(P2001-250912A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 25/07		H 0 1 L 25/04	B
23/52		23/52	C

審査請求 未請求 請求項の数9 O L (全 6 頁)

(21)出願番号 特願2000-62298(P2000-62298)

(22)出願日 平成12年3月7日(2000.3.7)

(71)出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 松井 邦容

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

(74)代理人 100093388

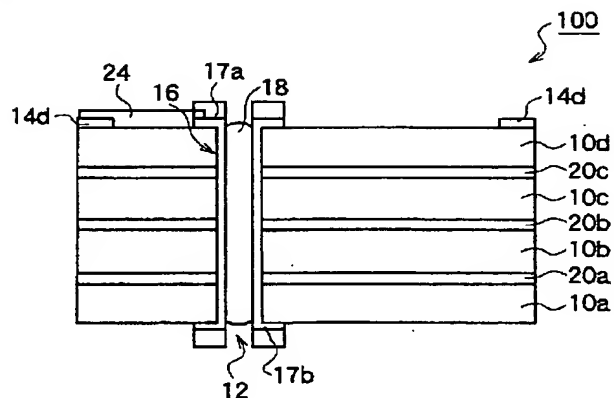
弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法ならびに電子機器

(57)【要約】

【課題】 インターポーザなどの補助的手段を用いることなく、積層された半導体チップと外部装置等とを電気的に接続することが可能であるとともに、当該構成を積層される半導体チップの大きさに関係なく採用できる半導体装置およびその製造方法ならびに電子機器を提供すること。

【解決手段】 半導体チップ10a、10b、10c、10dに貫通孔12を形成する。そして、貫通孔12の内周面と開口部の近傍に金による導電膜16を形成する。さらに、貫通孔12内部に樹脂18を充填する。このような構成にすれば、半導体チップ10dの電極14と導電膜16を電気的に接続すれば、半導体チップ10a側に設けられた図示しない外部装置と半導体チップ10dとを電気的に接続することが可能になる。



## 【特許請求の範囲】

【請求項 1】 半導体チップを複数個積層してなる半導体装置の製造方法において、複数個積層された前記半導体チップに貫通孔を形成する第 1 の工程と、前記貫通孔の内周面上に無電解メッキにより導電膜を形成する第 2 の工程と、前記貫通孔内に樹脂を充填する第 3 の工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記貫通孔内に充填する樹脂として、導電粒子を含んだ樹脂を充填することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記導電膜を前記貫通孔の開口部の近傍にも形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の工程において、前記半導体チップの能動素子形成面に形成された電極パッドの一部に貫通孔を形成することを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の工程と前記第 2 の工程との間に、前記貫通孔の内周面に絶縁膜を形成する工程を有することを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記第 2 の工程は、前記複数個積層された前記半導体チップの、前記導電膜を形成する領域以外の領域にフォトレジストを設ける工程と、前記導電膜を形成する領域に触媒核を付着させる工程と、前記複数個積層された前記半導体チップをメッキ浴する工程と、を含むことを特徴とする請求項 1 ないし請求項 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記第 3 の工程において、貫通孔内に充填する樹脂として、電着樹脂を用いることを特徴とする請求項 1 ないし請求項 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 請求項 1 ないし請求項 7 のいずれかに記載の半導体装置の製造方法により製造されてなることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置を備えてなることを特徴とする電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法ならびに電子機器に係り、特に半導体チップを複数個積層して用いるのに好適なものに関する。

## 【0002】

【従来の技術】半導体装置の分野においては、近年半導体装置の小型化、軽量化を目的として、単一のパッケージ内に複数の半導体チップを設ける、特に各半導体チッ

プを積層状態に設けるものが多く開発されてきた。このような半導体装置は、マルチチップパッケージ (MCP)、またはマルチチップモジュール (MCM) と呼ばれている。このような装置の具体的な例としては、実開昭 62-158840 号の発明が挙げられる。すなわち、単一のセラミック・パッケージにおいて複数のチップを積層し、各チップの電極をワイヤーで接続するものである。また、別な事例として、特開平 11-135711 号の発明のように、インターポーザと呼ばれる配線基板に半導体チップを実装し、インターポーザ同士を相互に接続するとともに、積層して単一の半導体装置とするものである。

## 【0003】

【発明が解決しようとする課題】しかしながら、実開昭 62-158840 号の発明においては、半導体チップの周囲に多数をワイヤーを配することになるので、当該構成を有する半導体装置の容積を必要以上に大きなものにしてしまう。また、積層される半導体チップの大きさが略同一の場合、最上部に位置する半導体チップ以外のものは、その電極が上位に位置する半導体チップで隠された状態になるので、ボンディングが困難となる。さらに、特開平 11-135711 号の発明においては、略同一の大きさの半導体チップを積層して単一の半導体装置とすることは容易にできるが、各半導体チップをインターポーザに実装するとともに、インターポーザ間の電氣的接続を確保するために、実開昭 62-158840 号の発明よりもはるかに複雑な製造工程を要することになる。

【0004】そこで、本発明は、前記した従来技術の欠点を解消するためになされたもので、インターポーザなどの補助的手段を用いることなく、積層された半導体チップと外部装置等とを電氣的に接続することが可能であるとともに、当該構成を積層される半導体チップの大きさに関係なく採用できる半導体装置およびその製造方法ならびに電子機器を提供することを目的としている。

## 【0005】

【課題を解決するための手段】そこで、本発明は、上記の目的を達成するために、半導体チップを複数個積層してなる半導体装置の製造方法において、複数個積層された前記半導体チップに貫通孔を形成する第 1 の工程と、前記貫通孔の内周面上に無電解メッキにより導電膜を形成する第 2 の工程と、前記貫通孔内に樹脂を充填する第 3 の工程と、を少なくとも有することを特徴とするものとした。

【0006】このように構成した本発明においては、積層された半導体チップに形成された貫通孔内部に導電手段を設けることが簡単にできる。また、樹脂を貫通孔内部に設けるため、導電膜自体は導通が取れる程度であればよく、その内面に充填する樹脂により信頼性が高まる。さらに内部に充填する樹脂に導電粒子を含んだ樹脂

を用いることにより、電氣的接続の信頼性がさらに向上する。

【0007】また、上記の半導体装置の製造方法において、前記導電膜を前記貫通孔の開口部の近傍にも形成することを特徴とするものとした。

【0008】このように構成した本発明においては、貫通孔の開口部の近傍に形成された導電膜が外部装置の配線や端子等との電氣的接続に寄与するので、当該外部装置との電氣的接続の信頼性が高まる。

【0009】また、上記の半導体装置の製造方法において、前記第1の工程において、前記半導体チップの能動素子形成面に形成された電極パッドの一部を穿設するように貫通孔を形成することを特徴とするものとした。

【0010】このように構成した本発明においては、電極パッドと導電膜とが電氣的に接続されるので、貫通孔の開口部付近に設けられた導電膜または電着樹脂に外部装置の配線や端子等を接続すれば、当該外部装置と積層された各半導体チップとを電氣的に接続することが容易にできる。

【0011】また、上記の半導体装置の製造方法において、前記第1の工程と前記第2の工程との間に、前記貫通孔の内周面に絶縁膜を形成する工程を有することを特徴とするものとした。

【0012】このように構成した本発明においては、積層された各半導体チップと導電膜とが絶縁膜により絶縁されるので、当該導電膜を当該半導体チップとの電氣的接続に無関係なコンタクトとして利用することができる。

【0013】また、上記の半導体装置の製造方法において、前記第2の工程は、前記複数個積層された前記半導体チップの、前記導電膜を形成する領域以外の領域にフォトレジストを設ける工程と、前記導電膜を形成する領域に触媒核を付着させる工程と、前記複数個積層された前記半導体チップをメッキ浴する工程と、を含むことを特徴とするものとした。

【0014】このように構成した本発明においては、導電膜を無電解メッキにより形成するので、貫通孔内部に導電膜を形成することが容易にできる。

【0015】また、上記の半導体装置の製造方法において、前記第3の工程において、貫通孔内に充填する樹脂として、電着樹脂を用いることを特徴とするものとした。このようにして構成した本発明においては、貫通孔内に樹脂を選択的にかつ容易に、短時間で形成することができる。

【0016】さらに、半導体装置において、上記のいずれかに記載の半導体装置の製造方法により製造されてなることを特徴とするものとした。

【0017】このように構成した本発明においては、積層された半導体チップ同士の電氣的導通を確保するのに、ワイヤー等が不要になるので、半導体装置の小型化

を図ることが容易にできる。

【0018】くわえて、電子機器において、上記の半導体装置を備えてなることを特徴とするものとした。

【0019】このように構成した本発明においては、従来よりも小型化された半導体装置を利用できるので、電子機器自体の小型化を図ることが容易にできる。

【0020】

【発明の実施の形態】以下に、本発明に係る半導体装置およびその製造方法ならびに電子機器の好適な実施の形態について添付図面を参照しながら詳細に説明する。

【0021】図1は、本発明の第1の実施の形態に係る半導体装置の概略を示す断面図である。また、図2は、本発明の第1の実施の形態に係る半導体装置の製造工程を説明する断面図(1)である。また、図3は、本発明の第1の実施の形態に係る半導体装置の製造工程を説明する断面図(2)である。また、図4は、本発明の第2の実施の形態に係る半導体装置の概略を示す断面図である。また、図5は、本発明の第3の実施の形態に係る半導体装置の概略を示す断面図である。

【0022】本発明の実施の形態に係る半導体装置について図1に基づいて説明する。この実施の形態に係る半導体装置100は、半導体チップ10a、10b、10c、10dを能動素子形成面(以下、能動面とする)を同方向に揃えた状態で積層している。積層された半導体チップ10a、10b、10c、10dは、これらの半導体チップの間に介在する接着剤20a、20b、20cによって接着されている。

【0023】また、半導体チップ10a、10b、10c、10dには、これらを積層方向に貫通する貫通孔12が設けられている。貫通孔12の内周面には、導電膜16が形成されている。導電膜16は、金(Au)によって形成されている。なお、その形成方法については後述する。さらに、導電膜16の端部17a、17bは、貫通孔12から外部に露出している。くわえて、貫通孔12内部には、樹脂18が充填されている。樹脂18はアクリル系樹脂であり、カチオン型アクリル電着樹脂を使用し、電着方式により形成されている。

【0024】以上説明した本発明の実施の形態によれば、半導体チップ10a、10b、10c、10dのいずれかの面において、外部装置の端子等を電極パッド14dに接続すれば、導電膜16がコンタクトとしての役割を果たして、半導体チップ10a、10b、10c、10dの反対側の面に設けられた基板等への接続を行うことができる。よって、例えば、半導体チップ10dに形成された電極パッド14dと導電膜16とを電氣的導体24で接続することにより、半導体チップ10a側に設けた図示しない外部装置と半導体チップ10dとを電氣的に接続することが可能になる。なお、電極パッド14dと導電膜16との接続は、スズやスズ合金等で行うことが好ましい。

【0025】なお、積層される半導体チップの個数は4個に限られるものではなく、他の個数にしても良い。また、積層される半導体チップの大きさは、それぞれ異なるものであっても良い。また、貫通孔12は、積層される各半導体チップの回路等を損なわなければ、複数個、例えばすべて電極パッドに対応して設けても良い。さらに、半導体チップ10a、10b、10c、10dの間に放熱板を設けても良い。なお、これらのことは他の実施の形態にも適用できる。

【0026】また、樹脂18は、貫通孔12を完全に充填していなくても良く、外部装置の端子等と接続可能に設けられていれば良い。また、樹脂18は、導電膜16の端部を電氣的接続に使用しない場合は17a、17b上に設けられてあっても良い。さらに、導電膜16は、金で形成するほかに、ニッケル(Ni)、銅(Cu)や、ニッケル-金(Ni-Au)、ニッケル-金-銅(Ni-Au-Cu)などの合金で形成しても良い。なお、これらのことは他の実施の形態にも適用できる。

【0027】くわえて、半導体チップ10a、10b、10c、10dの能動面上には、当該能動面を保護するための絶縁膜を設けることが好ましい。具体的には、絶縁膜としてシリコン酸化膜(SiO<sub>2</sub>)やシリコン窒化膜(SiN)を設けることが好適である。なお、この絶縁膜は、半導体ウェハ製造工程中で形成される後述するようなものを半導体ウェハ製造段階で形成すれば良い。また、半導体ウェハを各半導体チップに分割後した設けても良い。さらに、半導体チップ10a、10b、10c、10dの側面や裏面に後加工、例えばポッティング、蒸着、トランスファーモールドなどの方法により絶縁膜を形成しても良い。なお、これらのことは他の実施の形態にも適用できる。

【0028】また、本発明の第2の実施の形態に係る半導体装置のように、半導体チップ10a、10b、10c、10dに形成された金属配線層等と導電膜16との電氣的絶縁を確実なものにするために、絶縁膜22を設けることが好ましい。すなわち、図4に示すように、まず、貫通孔12の内周面に絶縁膜22を形成し、その上に導電膜16を積層して設けるものとする。このようにすれば、導電膜16と半導体チップ10a、10b、10c、10dの図示しない金属配線層との電氣的絶縁を確実に図ることができる。

【0029】なお、絶縁膜22としては、シリコン酸化膜(SiO<sub>2</sub>)やシリコン窒化膜(SiN)が好適である。さらに、ポリイミドなどの有機絶縁膜を形成しても良い。なお、その形成方法は、例えば、CVD法や、半導体チップ10a、10b、10c、10dを酸素を含む高温雰囲気中で熱処理して、接続孔18の内周面に露出した部分を酸化して酸化膜を形成するなど、いずれの方法によっても良い。

【0030】次に、本発明の実施の形態に係る半導体装

置の製造方法について説明する。

【0031】まず、図2(A)に示すように、半導体チップの工程を終えた半導体ウェハ40を積層状態で接着し、貫通孔を形成する部位にレーザ光を照射して貫通孔12を形成する。なお、レーザ光の照射は、能動素子を穿孔するなどの損傷を与えないように注意深く行わなければならない。

【0032】なお、貫通孔12は、ウェット法やドライ法のエッチングで設けるものとしても良い。ドライ法でエッチングする場合、レーザ光を用いる方法よりも穿孔に時間を要するが、貫通孔12の内周面の荒れが小さい。具体的な、エッチング方法としては、ウェットエッチングはKOH等のアルカリ溶液、ドライエッチングはCF<sub>4</sub>等のエッチングガスを用いた方法、プラズマを用いた方法など、シリコン加工で用いられるものを用いるようにすれば良い。

【0033】次に、図2(B)に示すように、積層された半導体チップ10a、10b、10c、10dの両面にフォトレジストを塗布してフォトレジスト膜30を設け、後工程で導電膜を設ける部分を除去する。

【0034】次に、図2(C)に示すように、積層された半導体チップ10a、10b、10c、10dの両面に金の無電解メッキを施して、導電膜16を設ける。

【0035】続けて、図3(A)に示すように、電着樹脂を用いて導電膜16上にアクリル樹脂を形成する。この時、後に外部装置と電氣的接続をとる必要がある端子部分に関しては、あらかじめレジスト等で電着樹脂が形成されないようにしておく。

【0036】次に、図3(B)に示すように、電着樹脂18が貫通孔12に充填されたら、フォトレジスト膜30を除去する。

【0037】以上の手順により、本発明の実施の形態に係る半導体装置を製造することができる。なお、図4に示した第2の実施の形態に係る半導体装置においては、貫通孔の形成後に、前述の方法で絶縁膜22を形成し、その後に導電膜16を形成する。また、絶縁膜22の材質によっては、その上に無電解メッキによって金属を析出させて付着するのが困難な場合がある。このような場合は、図2(C)に示す無電解メッキの工程の前に、半導体チップ10a、10b、10c、10dをパラジウムコロイド溶液に浸潤し、導電膜を形成する部位にパラジウムを付着させる処理を行う。この処理を行うと、パラジウムが触媒核となって、絶縁膜22上に導電膜を形成することが容易にできる。

【0038】次に、本発明の実施の形態に係る半導体装置について図5に基づいて説明する。この実施の形態に係る半導体装置100は、半導体チップ10a、10b、10c、10dを、それぞれの電極パッド14a、14b、14c、14dを設けた面を同方向に揃えた状態で積層している。電極パッド14a、14b、14

c、14dは、それぞれ半導体チップ10a、10b、10c、10dに形成された図示しない回路に接続されている。なお、接着剤10a、10b、10c、導電膜16および樹脂18は、第1の実施の形態に係るものと同じ構成であり、樹脂18はアクリル系電着樹脂を使用している。

【0039】以上説明した本発明の実施の形態によれば、外部装置の端子等を導電膜16の端部17a、17bのいずれかに接続すれば、導電膜16を介して半導体チップ10a、10b、10c、10dの電極パッド14a、14b、14c、14dと接続されることになる。よって、積層される半導体チップの大きさに関係なく、積層された半導体チップと外部装置とを電氣的に接続することができる。また、インターポーザのような補助的手段を必要としない。

【0040】なお、電極パッド14a、14b、14cと導電膜16との電氣的導通を確実に確保するために、電極パッド14a、14b、14c上にスズやスズ系合金などの導電材を設け、電極パッド14a、14b、14cに併せて導電膜16とこの導電材とが接続されるようにしても良い。さらに、電極パッド14a、14b、14c、14dは、アルミニウム（Al）、アルミニウム-シリコン（Al-Si）、銅（Cu）、アルミニウム-シリコン-銅（Al-Si-Cu）など一般的に半導体チップの電極や配線として用いられているものであれば、どのような材質のものであっても良い。さらに、電極パッド14d上に、導電膜16がとの接続が安定的に行えるように、一般的にアンダーバンプメタルとして知られているような金属層（例えば、Ti-W、Pt-Au、Ni、Cu-Auなど）を形成するようにすることが好ましい。

【0041】以上述べたように、本発明の各実施の形態に係る半導体装置100は、その内部を貫通して周辺装置の電氣的接続を図ることが可能であり、ワイヤーやインターポーザ等を用いる必要がない。また、ワイヤーやインターポーザ等を設けない分だけ用い半導体装置の実装面積の縮小化を図ることができるので、この半導体装置100を電子機器に実装すれば電気機器自体の小型化を図ることができる。

#### 【0042】

【発明の効果】以上に説明したように、本発明によれば、半導体チップを複数個積層してなる半導体装置の製造方法において、複数個積層された前記半導体チップに

貫通孔を形成する第1の工程と、前記貫通孔の内周面上に無電解メッキにより導電膜を形成する第2の工程と、前記貫通孔内に導電性のある樹脂を設ける第3の工程と、を少なくとも有する構成としているため、積層された半導体チップの貫通孔を介して半導体チップ同士や、半導体チップとの外部装置とを電氣的に接続することができる。また、ワイヤーやインターポーザ等の補助的手段を介することなく、電氣的な接続を行うことができるので、半導体装置の小型化にも寄与するとともに、半導体装置のコストダウンにも著しく寄与する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の概略を示す断面図である。

【図2】本発明の第1の実施の形態に係る半導体装置の製造工程を説明する断面図（1）である。

【図3】本発明の第1の実施の形態に係る半導体装置の製造工程を説明する断面図（2）である。

【図4】本発明の第2の実施の形態に係る半導体装置の概略を示す断面図である。

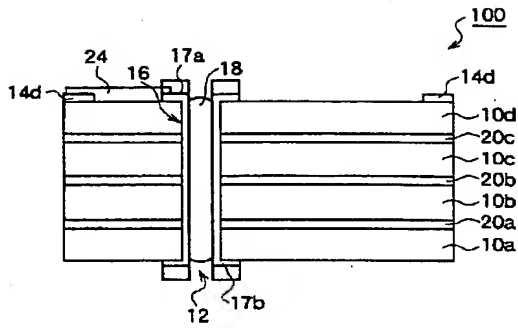
【図5】本発明の第3の実施の形態に係る半導体装置の概略を示す断面図である。

#### 【符号の説明】

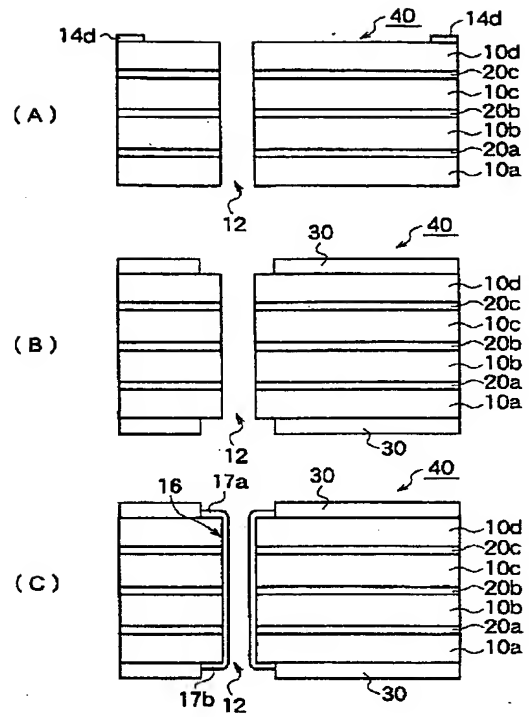
10a……半導体チップ  
 10b……半導体チップ  
 10c……半導体チップ  
 10d……半導体チップ  
 12……貫通孔  
 14a……電極パッド  
 14b……電極パッド  
 14c……電極パッド  
 14d……電極パッド  
 16……導電膜  
 17a……端部  
 17b……端部  
 18……電着樹脂  
 20a……接着剤  
 20b……接着剤  
 20c……接着剤  
 22……絶縁膜  
 24……電氣的導体  
 30……フォトレジスト膜  
 40……積層した半導体ウェハ  
 100……半導体装置



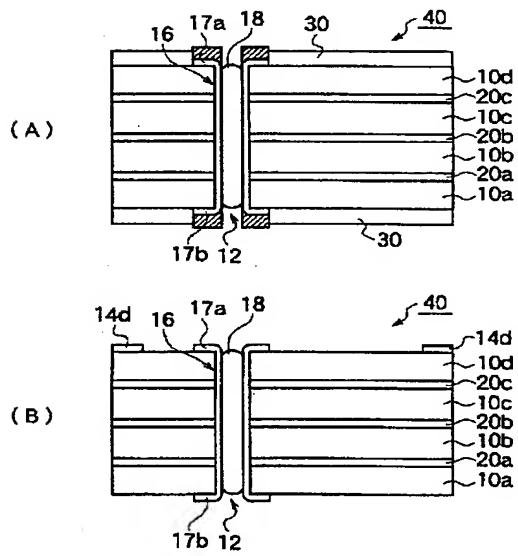
【図1】



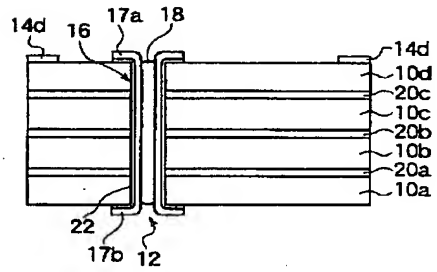
【図2】



【図3】



【図4】



【図5】

